

【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の表示画素と、前記各表示画素に対して表示画面の垂直方向、水平方向にそれぞれ延設される複数本の信号線および走査線と、前記走査線に供給された信号に基づいて前記表示画素を信号線に接続するスイッチング素子とを備える液晶表示パネルと、前記信号線及び走査線にそれぞれ所要の信号を供給する信号線駆動回路および走査線駆動回路を備えるアクティブマトリクス型液晶表示装置において、水平方向の奇数番目の表示画素と偶数番目の表示画素とで1本の信号線を共用し、かつ1水平表示ラインに対して2本の走査線が割り当てられ、前記信号線を共用している奇数番目と偶数番目の各スイッチング素子は前記割り当てられた走査線のそれぞれ別の走査線に接続され、さらに奇数番目の表示ラインと偶数番目の表示ラインとでスイッチング素子と走査線の前記接続状態が互いに逆の接続関係にあることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 マトリクス状に配置された複数の表示画素と、前記各表示画素に対して表示画面の垂直方向、水平方向にそれぞれ延設される複数本の信号線および走査線と、前記走査線に供給された信号に基づいて前記表示画素を信号線に接続するスイッチング素子とを備える液晶表示パネルと、前記信号線及び走査線にそれぞれ所要の信号を供給する信号線駆動回路および走査線駆動回路を備えるアクティブマトリクス型液晶表示装置において、水平方向の奇数番目の表示画素と偶数番目の表示画素とで1本の信号線を共用し、かつ1水平表示ラインに対して2本の走査線が割り当てられ、一の信号線では奇数番目の表示画素のスイッチング素子は奇数番目または偶数番目のいずれか一方の走査線に接続され、偶数番目の表示画素のスイッチング素子はいずれか他方の走査線に接続され、かつこれに隣接する信号線では前記奇数番目と偶数番目の表示画素のスイッチング素子と走査線との接続状態が互いに逆の関係にあることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】 マトリクス状に配置された複数の表示画素と、前記各表示画素に対して表示画面の垂直方向、水平方向にそれぞれ延設される複数本の信号線および走査線と、前記走査線に供給された信号に基づいて前記表示画素を信号線に接続するスイッチング素子とを備える液晶表示パネルと、前記信号線及び走査線にそれぞれ所要の信号を供給する信号線駆動回路および走査線駆動回路を備えるアクティブマトリクス型液晶表示装置において、水平方向の表示画素のそれぞれに信号線が接続されるとともに、奇数番目の信号線は m 本（ m は2以上の整数）が1つのグループとして短絡され、偶数番目の信号線は n 本が他の1つのグループとして短絡され、かつ1水平表示ラインに対しても本の走査線が割り当てられ、前記 m 本の短絡されている信号線に接続された表示画素

の各スイッチング素子はそれぞれ別の n 本の走査線に接続され、奇数番目の表示ラインと偶数番目の表示ラインでは、それぞれのスイッチング素子と走査線との接続状態が互いに相反する関係にあることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】 スwitchング素子として薄膜トランジスタを備え、この薄膜トランジスタのソース・ドレインを表示画素と信号線との間に接続し、ゲートを走査線に接続する請求項1ないし3のいずれかのアクティブマトリクス型液晶表示装置。

【請求項5】 前記信号線駆動回路にデータを供給するデータ処理回路と、前記信号線駆動回路と前記走査線駆動回路と前記データ処理回路を制御する信号を生成するタイミング発生回路とを含み、前記データ処理回路は、1水平期間を2つ以上に分割して前記信号線駆動回路から信号が出力される時分割駆動のためのラインメモリを備える請求項4のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関し、特に信号線側の駆動回路を減少させる一方で表示品質を向上させたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、薄膜トランジスタ（以下、TFT）を使用した液晶表示装置は、ノートパソコンのディスプレイ等の用途として普及され、その低価格化も進められているが、さらなる低価格化が求められている。この低価格化を実現するための1つの対策として部材費の削減が挙げられるが、中でも部材費の大部分を占める液晶表示パネルの信号線を駆動する回路として使われるドライバICのコストを下げるのがキーポイントとなる。この信号線側のドライバICが、部材費の中で大部分を占める理由は、動作機能が高度であるために1個あたりの価格が高く、しかも1個あたり240出力とすればSVGAパネルでは10個必要となるように数を多く使う点にある。そこで、このドライバICの数を減らすことが提案されており、例えば、特開平3-38689号公報、特開平5-265045号公報、特開平6-148680号公報に提案されたものがある。これらは皆、液晶表示パネルの隣り合う表示画素で信号線を共用して、信号線側ドライバICの個数を半分にしようとするものである。

【0003】以下、これらの信号線ドライバICを半減する技術について説明する。図7は一般的なアクティブマトリクス型液晶表示装置のプロック構成図である。画像を表示する部分が液晶表示パネル1である。この液晶表示パネル1を駆動するための回路として、その垂直方向と水平方向の各端部にそれぞれ信号線駆動回路2と走

査線駆動回路3として配置されている。これら駆動回路2, 3を制御する制御信号はタイミング発生回路5において発生される。基本的には、外部から入力される水平同期信号と垂直同期信号とドットクロックから各種制御信号が生成される。また、信号線駆動回路2のデータ入力とのインタフェース形態によって、並べ替え等のデータ処理を行う必要があり、それを行うのがデータ処理回路4であって、これもタイミング発生回路5によって制御される。通常、このデータ処理回路4とタイミング発生回路5は、ゲートレイ等のASICで1つにまとめて開発される事が多い。

【0004】前記した液晶表示パネル1の信号線と走査線とTFTと表示画素の回路接続を図8に示す。表示画素dがマトリクス状に並び、列の数だけ信号線Sが垂直方向に表示画素の脇を走り、行の数だけ走査線Gが水平方向に表示画素の脇を走っている。各々の信号線Sと走査線の各交点にはスイッチング素子である薄膜トランジスタTFTが配置され、TFTのゲートが走査線Gに、ドレインが信号線Sに、ソースが表示画素dの1つの電極である表示電極に接続されている。表示画素のもう一つの電極は、全て共通に共通電極Cとして接続されている。

【0005】そして、この構成の液晶表示パネル構造では、図9にその駆動タイミングチャートを示すように、データはデータ処理回路4に入力されるが、1水平期間(1H)単位でデータを見た場合、ほぼ同タイミングで信号線駆動回路2に入力されると見なされる。信号線駆動回路2に1水平期間分のデータが順次蓄えられ、完全に蓄えられると各出力端子に対して一斉に出力される。よって、タイミング的には図9のようになる。1ライン目の表示データが出力されるときに、走査線駆動回路3の出力G1が、TFTのON電圧を出力し、1ライン目のデータが信号線駆動回路2から出力され終わるとOFF電圧に変わる。同時に2ライン目のデータが出力され始めるので、G2がON電圧になる。同様にラインデータの出力に同期してON電圧が走査線Sをシフトしていく。このとき、共通電極の電位をずっと一定に保持している駆動方式では、ON電圧は約20V、OFF電圧は約-7Vである。走査線がON電圧の時にTFTが導通し、そのときの各信号線の電位が各表示画素に書き込まれる。このように順次、1水平ラインずつデータを表示画素に書き込んでいき、1垂直期間で1フレームの表示パターンを形成する。このとき、各表示画素へ書き込む信号データの極性に注目すると、ライン毎(1回の出力毎)に反転している。また、信号線駆動回路2の出力は、隣り合う信号線S同士で互いに逆の極性が出力されるように設計されている。すなわちこれがドット反転駆動で、1回の書き込み(1ラインの書き込み)に対し、隣り合う出力が逆極性で出力されるため共通電極の電位が揺れなくなる。また1フレーム書き込まれた画面は図

10のようになるので、たとえ正極性と負極性の書き込みで差があったとしても、見た目では平均化され均一になり、画質よく見える。

【0006】このような従来の一般的な液晶表示パネルに対し、低価格化を図るべく、信号線を共用して半分に減らした、すなわち信号線側ドライバICの個数を半分にした液晶表示装置を説明する。この種の液晶表示装置においても、そのブロック構成は図7の構成と同じである。ただ、液晶表示パネルで信号線を共用しているために、信号線駆動回路の出力が半分、回路自体も半分になっている。逆に走査線駆動回路は、走査線が2倍になるためにその出力も回路自体も2倍になる。しかしながら、価格面を考えた時、走査線側の駆動回路は、信号線駆動回路と比べ割合簡単な回路であり、ICで実現するという事で考えると既存のプロセスで実現できる。つまり、走査線駆動回路は信号線駆動回路と比べ安く、回路規模が2倍になったとしても信号線駆動回路が半分になったことで低価格化が実現できる。

【0007】図11は、前記した公報に記載されている液晶表示装置の回路構成図である。水平方向の隣り合う表示画素で一本の信号線を共有しており、それら表示画素と信号線とがTFTのソース、ドレインを介して接続される。そして水平方向の表示ライン1本に対して2本の走査線が割り当てられており、TFTのゲートは奇数番目表示画素と偶数番目表示画素で別々の走査線に接続されている。したがって、図8に示した液晶表示パネルと比較すると信号線の本数は半分に、走査線の本数は2倍になっている。

【0008】このような信号線を半減させた液晶表示装置では、図12に駆動タイミングチャートを示すように、データは通常駆動の時と同じようにデータ処理回路に入力され、データ処理回路でデータを奇数番目データ群Aと偶数番目データ群Bに分けて半分の水平期間(1/2・H)でそれぞれを出力する信号線処理回路入力のタイミングのようになる。なお、このデータ処理回路の部分は少なくともラインメモリが必要となる。以下、信号線駆動回路からの動作は図9の通常駆動と同じで、信号線駆動回路の出力に合わせてTFTのON電圧が走査線をG₁, G₂, G₃, G₄・・・と順次シフトしていく。すなわち、表示画素には奇数番目データA→偶数番目データB、次の表示ラインに移って、奇数番目データA→偶数番目データBというように交互に書き込まれていく。1回の書き込み時間は、奇数番目データA→偶数番目データBというように2回書き込むことになるので、通常駆動と比べて半分の書き込み時間となり、信号線駆動回路の出力は能力的に厳しくなる。

【0009】ところで、このときの表示画面の極性を考えると、通常駆動の時と同じで信号線駆動回路は隣り合う出力で互いに逆の極性が出力され、図12の極性1のように1回の出力毎に各々の出力の極性が反転すると、

図13のように2列毎に極性が変わるようになる。正極性書き込みと負極性書き込みとで差があった場合、表示画面は見た目2列毎の縦筋になって見え、表示品質的に良くない。この表示品質を改善するために、図10のようなドット反転画面にするには信号線駆動回路あるいは走査線駆動回路を変更すればできる。例えば、信号線駆動回路の出力が全て同極性で出力され、図12の極性2のように2回の出力毎に極性を反転させれば、図10のようなドット反転の表示画面になる。

【0010】しかし全ての信号線が同極性で駆動されると表示画素への書き込み時、共通電極へ一方に電流が流れ、その電圧降下で共通電極の電位が揺れ、表示画面に悪影響を及ぼし逆に表示品質を下げる。また、信号線駆動回路の出力が図12の極性1のように1回の出力毎に反転であっても、走査線のON電圧のシフトを1本おきにさせて2回その操作をすれば図10のドット反転画面になる。しかし、それは走査線の駆動と対応したデータの処理が必要となり、この操作の場合フレームメモリが必要となってくる。また、同時に走査線駆動回路も単純なシフトレジスタではなく複雑になるため、結果としてコストアップの要因となる。当然信号線は全て同極性で駆動されているので前述した影響を受ける。

【0011】一方、信号線駆動回路に関し、実用上という見地、信号線負荷駆動能力、価格(チップ面積)の各点から、極性反転が図12の極性1のように1回出力毎の反転のみ対応可能か、極性2のように2回以上同極性出力できるかという事が重要なポイントとなる。すなわち、近年開発される液晶表示装置は12インチ以上の大画面で高解像度(XGA以上)のものとなってきている。このことは、1水平期間が短くなり、これは信号線への書き込み時間に関係し、信号線駆動回路の負荷、信号線の配線容量と抵抗が大きくなることを意味する。例えば、SVGAで1水平期間は約 $27\mu s$ 、XGAで約 $20\mu s$ であるが、今回のような信号線を半分に減らした駆動では、さらにその半分の時間で1回の書き込みを行わなければいけないことになる。このことから信号線駆動回路すなわち信号線側ドライバICとして要求される性能は十分な負荷駆動能力があるという事である。

【0012】また、このような大画面、高解像度のパネルを高品質で駆動するには現在10.4インチクラスの液晶表示装置で多く行われている低耐圧のドライバICを用いた共通電極を振るゲート反転駆動では限界があり、低耐圧ドライバICを用いて共通電極を振らずに行うドット反転駆動である必要がある。また、大画面、高解像像に限らないが世の中の動向として低消費電力でなければならない。これはドライバICとしてはダイナミックレンジが電源電圧まで、めいっばいとれるものということにつながる。したがって、信号線側ドライバICとして要求される性能は、隣り合う出力が互いに逆極性であること、負荷駆動能力があり、できるだけ電源電圧い

っぱいまでダイナミックレンジがとれることである。この実現を考えると、現在のところ信号線駆動回路の出力段であるアンプ部が、図14(a)、(b)のような隣り合う2つの出力で片方が立ち上げ専用のアンプ、もう片方が立ち下げ専用のアンプを受け持ち、1回の出力毎に切り替えて使用する構成が最良となる。ただし、この構成では2回以上続けて同極性での出力ができないという制限がある。

【0013】以上述べてきたことから、現実的に実用上用いられる信号線側と走査線側の駆動回路は、動作として信号線側が、隣り合う出力は互いに逆極性で出力され、1回の出力毎に正極性と負極性とで必ず反転すること、走査線側はTFTのON電圧を順次端からシフトして出力していくタイプが一番シンプルな回路で構成でき、かつデータ処理回路もラインメモリのみで処理できるのでコスト的にも一番良いといえる。

【0014】

【発明が解決しようとする課題】以上のように、水平方向の隣り合う画素で信号線を共用して信号線駆動回路を半分にした駆動回路を備える従来の液晶表示パネルでは、信号線駆動回路として出力が隣り合う同士で互いに逆極性で1回の出力毎に極性が反転し、走査線駆動回路は最上位ラインから順次TFTのON電圧がシフトしていく駆動回路とした場合に、ドット反転駆動を行うことが実用的に困難であり、良好な表示が得られないという問題がある。

【0015】本発明の目的は、信号線駆動回路を低減する一方で、信号線駆動回路の出力が隣り合う同士で互いの逆の極性で出力され、かつ1回の出力毎に極性が必ず反転し、走査線駆動回路は出力が片方から順次TFTのON電圧を出力していく駆動回路を前提とし、ドット反転駆動あるいはそれに近い駆動ができ、良好な画質が得られる液晶表示パネルを提供することにある。

【0016】

【課題を解決するための手段】本発明は、マトリクス状に配置された複数の表示画素のうち、水平方向の奇数番目の表示画素と偶数番目の表示画素とで1本の信号線を共用し、かつ1水平表示ラインに対して2本の走査線が割り当てられ、信号線を共用している奇数番目と偶数番目の各スイッチング素子は割り当てられた走査線のそれぞれ別の走査線に接続され、さらに奇数番目の表示ラインと偶数番目の表示ラインとでスイッチング素子と走査線の前記接続状態が互いに逆の接続関係にあることを特徴とするものである。

【0017】また、本発明は、マトリクス状に配置された複数の表示画素のうち、水平方向の奇数番目の表示画素と偶数番目の表示画素とで1本の信号線を共用し、かつ1水平表示ラインに対して2本の走査線が割り当てられ、一の信号線では奇数番目の表示画素のスイッチング素子は奇数番目または偶数番目のいずれか一方の走査線

に接続され、偶数番目の表示画素のスイッチング素子はいずれか他方の走査線に接続され、かつこれに隣接する信号線では前記奇数番目と偶数番目の表示画素のスイッチング素子と走査線との接続状態が互いに逆の関係にあることを特徴とするものである。

【0018】さらに、本発明は、マトリクス状に配置された複数の表示画素は、水平方向の表示画素のそれぞれに信号線が接続されるとともに、奇数番目の信号線は m 本(m は2以上の整数)が1つのグループとして短絡され、偶数番目の信号線は m 本が他の1つのグループとして短絡され、かつ1水平表示ラインに対して m 本の走査線が割り当てられ、前記 m 本の短絡されている信号線に接続された表示画素の各スイッチング素子はそれぞれ別の m 本の走査線に接続され、奇数番目の表示ラインと偶数番目の表示ラインでは、それぞれのスイッチング素子と走査線との接続状態が互いに相反する関係にあることを特徴とするものである。

【0019】

【発明の実施の形態】次に、本発明の実施形態例を図面を参照して説明する。図1は本発明の第1の実施形態のアクティブマトリクス型液晶表示装置の液晶表示パネルの構成を示す回路図であり、図7にブロック構成を示したアクティブマトリクス型液晶表示装置に適用した例を示している。すなわち、図7に示したように、液晶表示パネル1はその水平方向に配置された信号線駆動回路2と垂直方向に配置された走査線駆動回路3で駆動される。信号線駆動回路2は、タイミング発生回路5で生成された制御信号により駆動され、出力 S_1' , S_2' , S_3' , S_4' , \dots は、液晶表示装置の信号線 S に接続されており、水平方向画素数の半分である。走査線駆動回路3も同じくタイミング発生回路3で生成された制御信号で駆動される。出力 G_1' , G_2' , G_3' , G_4' , \dots は、液晶表示パネルの走査線 G に接続されており、走査線数は垂直方向画素数の2倍である。シフトレジスタの動作と同じく、 G_1' , G_2' , G_3' , G_4' , \dots と順次、薄膜トランジスタ(TFT)のゲートにオン電圧を出力していく。データ系では、データはデータ処理回路4によって、液晶表示パネルの回路構成に合わせた並び換え(データ処理)を行った後、信号線駆動回路に入力される。このデータ処理回路4はラインメモリを搭載している。ここで信号線駆動回路の動作条件として、出力が隣り合う同士で互いに逆の極性の信号が同時に出力される。また1回出力されるごとに極性が反転される。

【0020】図1において、液晶表示パネルは n 列 $\times m$ 行の画素電極より構成される(n , m はそれぞれ2以上の整数)。そして水平方向(行方向)の奇数番目画素と偶数番目画素の相隣接する画素で、垂直方向(列方向)に伸びる1本の信号線を共用しており、各画素に接続されるスイッチング素子であるTFTのドレインが接続さ

れている。すなわち、信号線の本数は水平方向の画素数の半分($n/2$ 本)になる。その隣あう2つのTFTのゲートは奇数番目のTFTと偶数番目のTFTで、水平方向の1表示ラインに割り当てられた水平方向に伸びる2本の走査線のそれぞれ別の走査線に接続されている。したがって、走査線の本数は垂直方向の画素数の倍($2m$ 本)になる。なお、この構成については図11に示した従来構成と同じである。

【0021】しかしながら、この第1実施形態では、奇数行目の表示ラインにおいては、水平方向の奇数番目の画素のTFTのゲートは奇数行目の走査線に接続され、水平方向の偶数番目画素のTFTのゲートは偶数行目の走査線に接続される。一方、偶数行目の表示ラインにおいては、水平方向の奇数番目の画素のTFTのゲートは偶数行目の走査線に接続され、水平方向の偶数番目の画素のTFTのゲートは奇数行目の走査線に接続される。すなわち、水平方向の任意の表示ラインに注目した場合、その表示ラインに割り当てられる複数本の走査線において、水平方向奇数番目のTFTのゲートはある片方の走査線に接続されており、偶数番目のTFTのゲートはもう一方の走査線に接続されている。そして、その表示ラインに隣接する表示ラインでは、そのTFTのゲートと走査線の接続は逆の関係にある。つまり、奇数番目の表示ラインと偶数番目の表示ラインで、TFTのゲートと走査線の接続関係が逆ということである。

【0022】この第1の実施形態の動作を図2のタイミングチャートを参照して説明する。まず、シリアルで入力されてくるデータを従来と同じくデータ処理回路4でとらえ、データ処理回路に設けられているラインメモリに1ライン分記憶し、パネルのTFTと信号線、走査線の接続に従って、データを1水平期間(1H)の半分で前半と後半に振り分ける。すなわち、パネル1行目の表示ライン($m=1$)で、前半に出力されるデータは、奇数番目のデータで D_1 , D_3 , D_5 , \dots となる。これをAパターンと名付ける。後半に出力されるデータは、偶数番目のデータで D_2 , D_4 , D_6 , \dots となる。これをBパターンと名付ける。2行目の表示ライン($m=2$)では、逆に前半がBパターン、後半がAパターンとなる。3行目の表示ライン以降は、この1、2行目の繰り返しで、信号線に出力される。このようにデータが信号線に出力されると、走査線は順次 G_1 , G_2 , G_3 , \dots とTFTのオン電圧をシフトしていけば、所定の画素に所定のデータが書き込まれることになる。例えば信号線 S_1 に注目すれば、走査線が順次 G_1 からオンしていくと、 $d_{11}(A)$, $d_{12}(B)$, $d_{13}(A)$, $d_{14}(B)$, $d_{15}(A)$, \dots とデータは書き込まれる。なお、(A), (B)はAパターン、Bパターンを示す。

【0023】ここで、信号線駆動回路から出力される信号の周正は、隣あう出力同士が互いに逆極性で、1回の

出力ごとに極性反転することを考慮すれば、1フレーム書き込み終了後の画面上の極性は図3のように、水平方向は2画素おき、垂直方向は1画素おきに極性が反転している。これは前述したすべての隣接画素に対し逆極性の関係になるドット反転駆動とは若干異なるが、2個を一組とし、その隣接画素間でみれば逆極性の関係にあり、正極性と負極性の差によるフリッカーに強いといえる。また対向電極の電荷はやはり隣同士でキャンセルし、電荷の移動がない。これにより、格段に画質は向上する。なお、次のフレームは全く逆の極性になることは言うまでもない。

【0024】図4は本発明の第2の実施形態例の回路図であり、図1と同一構成部分には同一符号を付与し、その説明を省略する。この第2の実施形態では、極性が完全なドット反転になる様にTFTのゲートと走査線を接続した実施形態である。この液晶パネルにおける接続は、第1の実施形態と同じく、水平方向の隣あう2画素で1つの信号線を共用し、TFTのドレインが接続されている。そして水平方向の表示ライン1本に対し2本の走査線が割り当てられる。一番上の表示ラインにおいて信号線S1に注目すると左のTFTのゲートは走査線G1に接続され、右のTFTのゲートは走査線G2に接続されている。信号線S2に注目するとその逆であり、信号線S3では同じである。すなわち、ある任意の表示ラインにおいて、奇数番目の信号線に接続されているTFTのゲートと走査線の関係と、偶数番目の信号線のそれとは逆である。なお、奇数番目と偶数番目の表示ラインにおけるTFTのゲートと走査線の接続関係は、第1の実施形態と同様に逆の関係となっている。

【0025】この液晶表示パネルの駆動に際しては、第1の実施形態例の駆動と同じであつた、図2のタイミングチャートに示した通りである。ただし、データ処理回路4（図7参照）によって振り分けられるデータは、1行目の前半が、 $D_1, D_4, D_5, D_8, \dots$ であり、これがAパターンとなる。後半が、 $D_2, D_3, D_6, D_7, \dots$ であり、これがBパターンとなる。これで第1の実施形態と同じように駆動すれば、所定のデータが所定の画素に書き込まれ、得られる表示画面上の極性は、図10のように完全なドット反転になる。

【0026】図6は本発明の第3の実施形態の回路図である。ここでは、前記第1及び第2の実施形態をさらに改善したものである。すなわち、図5(a)に示すように、前記各実施形態では、1つの信号線を2つの画素が共用しているが、その動作時には2つの画素の一方の画素電極には信号線が接続されない状態が生じる。この接続されない状態では画素電極と信号線の間には寄生容量が存在するため、この寄生容量は2つの画素電極の一方のみ存在することになる。信号線は1回の出力ごとに極性が振れるので、寄生容量をとおして画素電極の電位が振れることになる。これが縦クロストークの原因とな

り、表示品質を劣化させる。

【0027】これに対し、第3の実施形態では、図6のように、水平方向の各画素に対してはそれぞれ1本の信号線が通っており、各画素のTFTのドレインがそれぞれの信号線に接続されている。しかしながら、これらの信号線は、水平方向の奇数番目同士、偶数番目同士で隣接する2本の信号線が短絡されている。この実施形態では左から1番目と3番目の信号線、2番目と4番目の信号線、 \dots というように1本おきに短絡されている。また、1水平表示ラインには前記の第1、第2の実施形態と同様、2つの走査線が割り当てられている。そして、短絡されている2本の信号線に接続されているTFTのゲートは、その割り当てられた2本の走査線に対し、別々の走査線に接続されている。そして、奇数番目の表示ラインと偶数番目の表示ラインで、その接続関係は逆の関係にある。

【0028】この液晶表示パネルにおいても、第1及び第3の実施形態と同様に駆動することができる。このときのAパターンは、 $D_1, D_2, D_5, D_6, \dots$ 、Bパターンは、 $D_3, D_4, D_7, D_8, \dots$ である。画素電極の両脇の信号線は、1つおきに信号線が接続され、また信号線駆動回路の隣りあう出力は互いに極性が反転しているので、互いに逆極性で振れていることになる。この結果、この液晶表示パネルでは、各画素子における寄生容量は図5(b)のようになり、容量値は等しく、逆極性で動く信号線の間にある画素電極の電位は振れなくなる。なお、このパネル構成での、画面上の極性は図3に示す第1の実施形態と同じになり、ほぼドット反転になる。したがって、これらのことから縦クロストークのない、表示品質の高い画像が得られる。

【0029】なお、以上説明してきた本発明の各実施形態は、図7のようにラインメモリをデータ処理回路4に搭載しているとして説明してきたが、データ処理回路自体が信号線駆動回路の中にあっても同様に適用できる。

【0030】

【発明の効果】以上説明したように本発明は、信号線を共用する表示画素のスイッチング素子と走査線との接続状態を、共用する表示画素間で逆の接続状態とし、かつ奇数番目の表示ラインと偶数番目の表示ラインとで逆の接続状態としているので、信号線駆動回路の出力が隣り合う同士で極性が互いに逆で、1回の出力毎に極性が反転し、走査線が順次的にシフト動作されるという条件のもとでも各表示画素をドット反転駆動することができ、高価な信号線駆動回路を削減でき、低価格で高画質の液晶表示装置を得ることができる。また、奇数番目の信号線と偶数番目の信号線とで表示画素のスイッチング素子と走査線との接続状態が逆となる構成とすることによっても同様の効果が得られる。さらに、奇数番目の信号線が複数本を1つのグループとして短絡され、偶数番目の信号線が複数本を1つのグループとして短絡され、かつ

同じ複数本の走査線を割り当てて各表示画素のスイッチング素子を各走査線に接続した構成とすることによって、同様の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の液晶表示パネルの回路図である。

【図2】図1の回路を駆動する際の動作タイミングチャートである。

【図3】第1の実施形態における表示画面の極性を示す図である。

【図4】本発明の第2の実施形態の液晶表示パネルの回路図である。

【図5】信号線と画素電極間の寄生容量を説明するための図である。

【図6】本発明の第3の実施形態の液晶表示パネルの回路図である。

【図7】アクティブマトリクス型液晶表示装置のブロック構成図である。

【図8】従来の液晶表示パネルの回路図である。

【図9】図8の液晶表示パネルを駆動する際の動作タイミングチャートである。

【図10】図8の液晶表示パネルの表示画面の極性を示す図である。

【図11】従来の改善された液晶表示パネルの回路図である。

【図12】図11の液晶表示パネルを駆動する際の動作タイミングチャートである。

【図13】図11の液晶表示パネルの表示画面の極性を示す図である。

【図14】信号線駆動回路の出力アンプ部の回路構成を説明するための図である。

【符号の説明】

1 液晶表示パネル

2 信号線駆動回路

3 走査線駆動回路

4 データ処理回路

5 タイミング発生回路

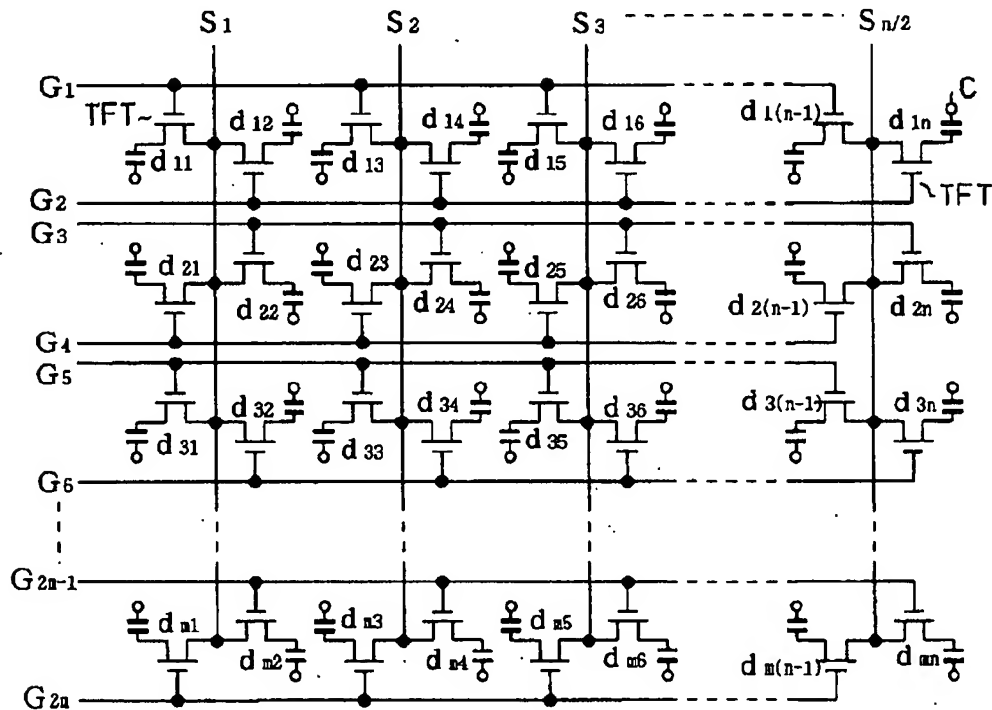
S 信号線

G 走査線

d 表示画素

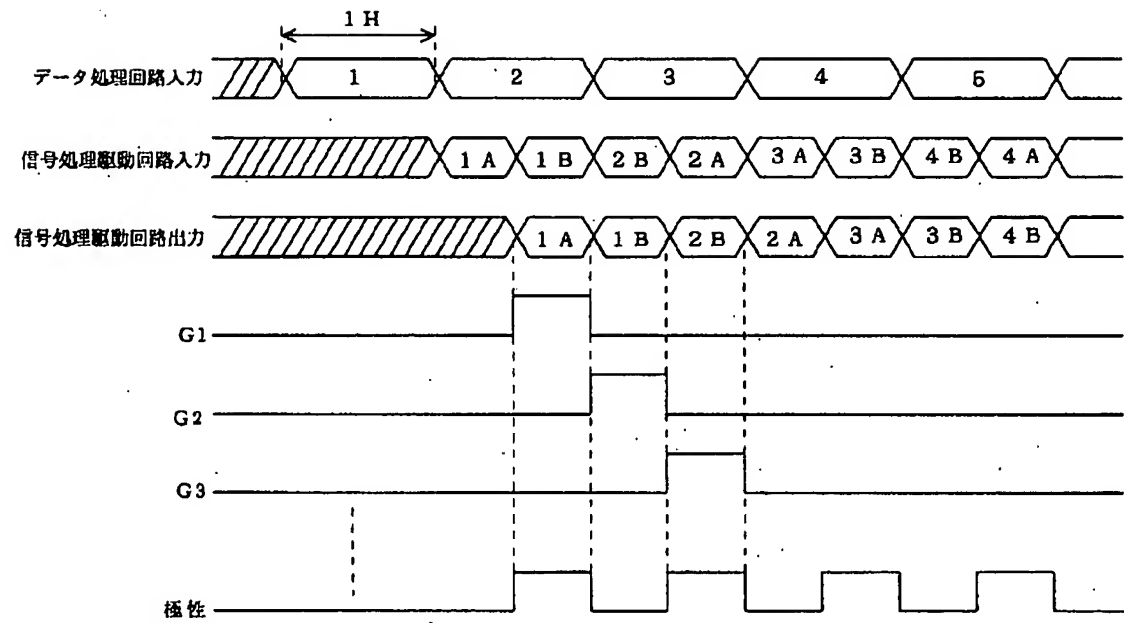
TFT 薄膜トランジスタ（スイッチング素子）

【図1】



S : 信号線 TFT : 薄膜トランジスタ G : 走査線 C : 共通電極 d : 表示画素

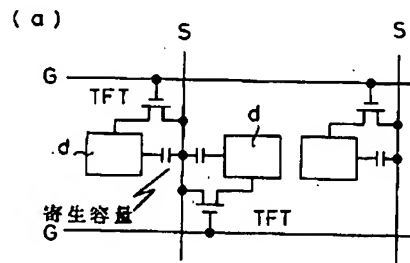
【図2】



【図3】

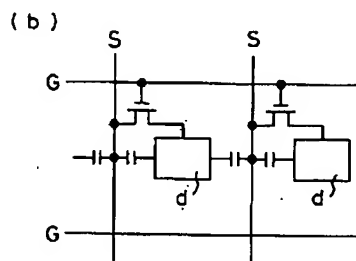
+	-	-	+	+	-	-	+	+	-	-	+
-	+	+	-	-	+	+	-	-	+	+	-
+	-	-	+	+	-	-	+	+	-	-	+
-	+	+	-	-	+	+	-	-	+	+	-
+	-	-	+	+	-	-	+	+	-	-	+
-	+	+	-	-	+	+	-	-	+	+	-
+	-	-	+	+	-	-	+	+	-	-	+
-	+	+	-	-	+	+	-	-	+	+	-
-	+	+	-	-	+	+	-	-	+	+	-

【図5】

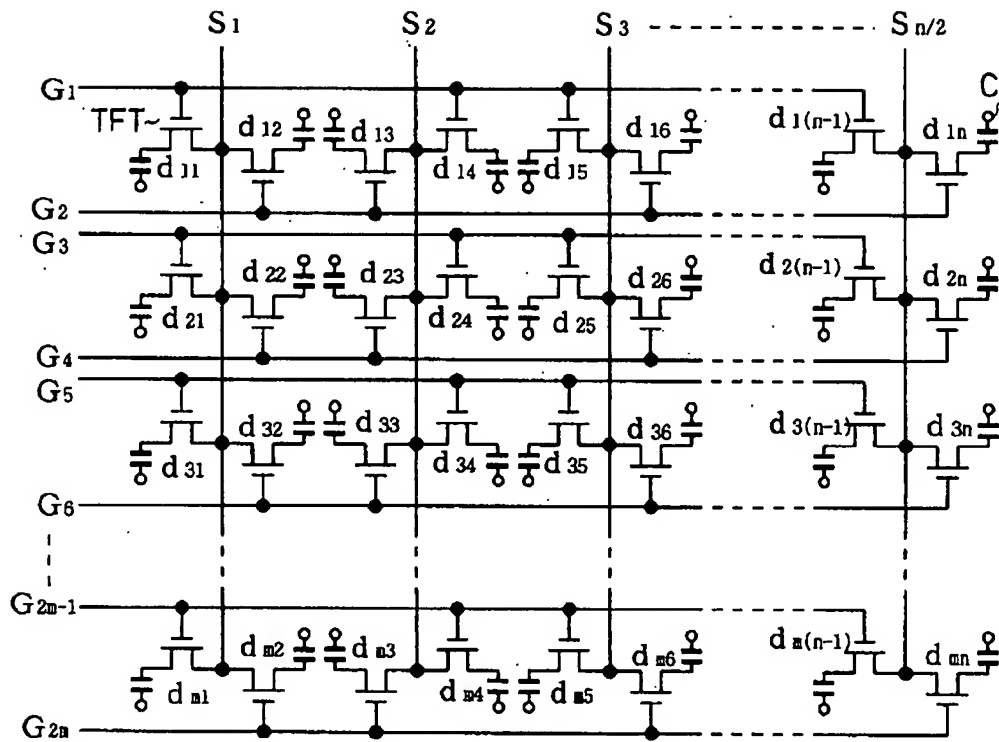


【図13】

+	-	-	+	+	-	-	+	+	-	-	+
+	-	-	+	+	-	-	+	+	-	-	+
+	-	-	+	+	-	-	+	+	-	-	+
+	-	-	+	+	-	-	+	+	-	-	+
+	-	-	+	+	-	-	+	+	-	-	+
+	-	-	+	+	-	-	+	+	-	-	+
+	-	-	+	+	-	-	+	+	-	-	+
+	-	-	+	+	-	-	+	+	-	-	+

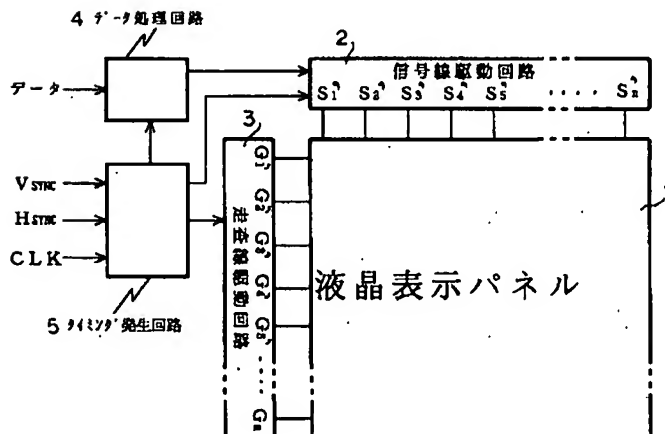


【図4】



S : 信号線 TFT : 薄膜トランジスタ G : 走査線 C : 共通電極 d : 表示画素

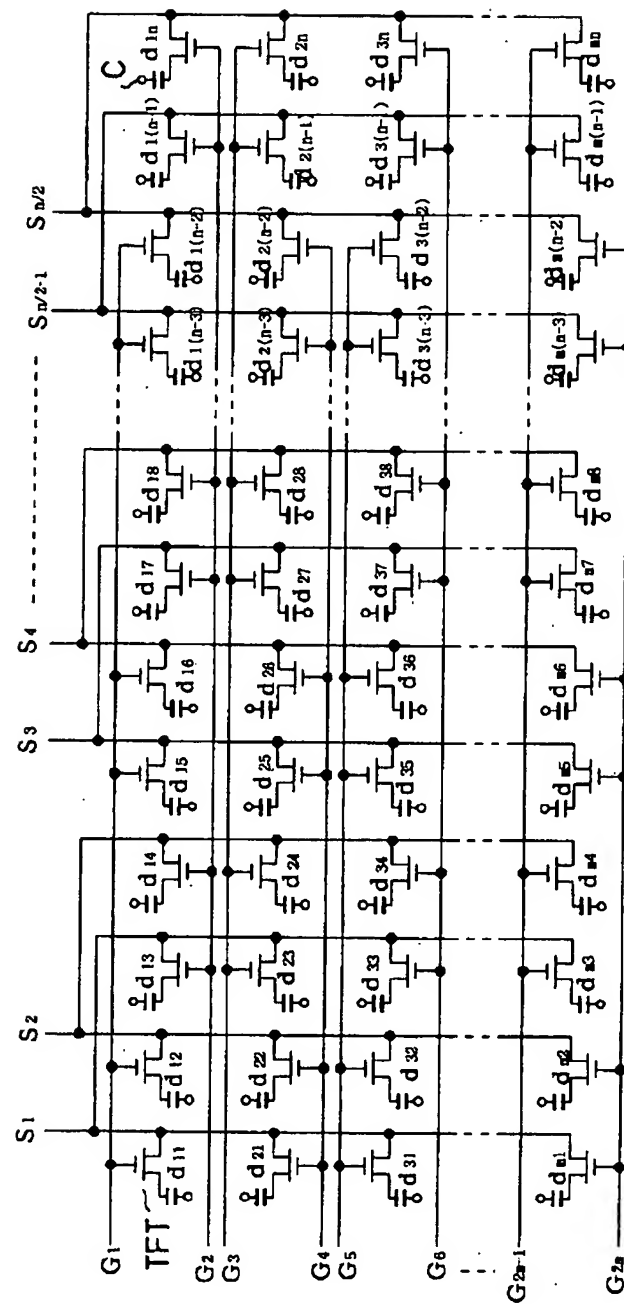
【図7】



【図10】

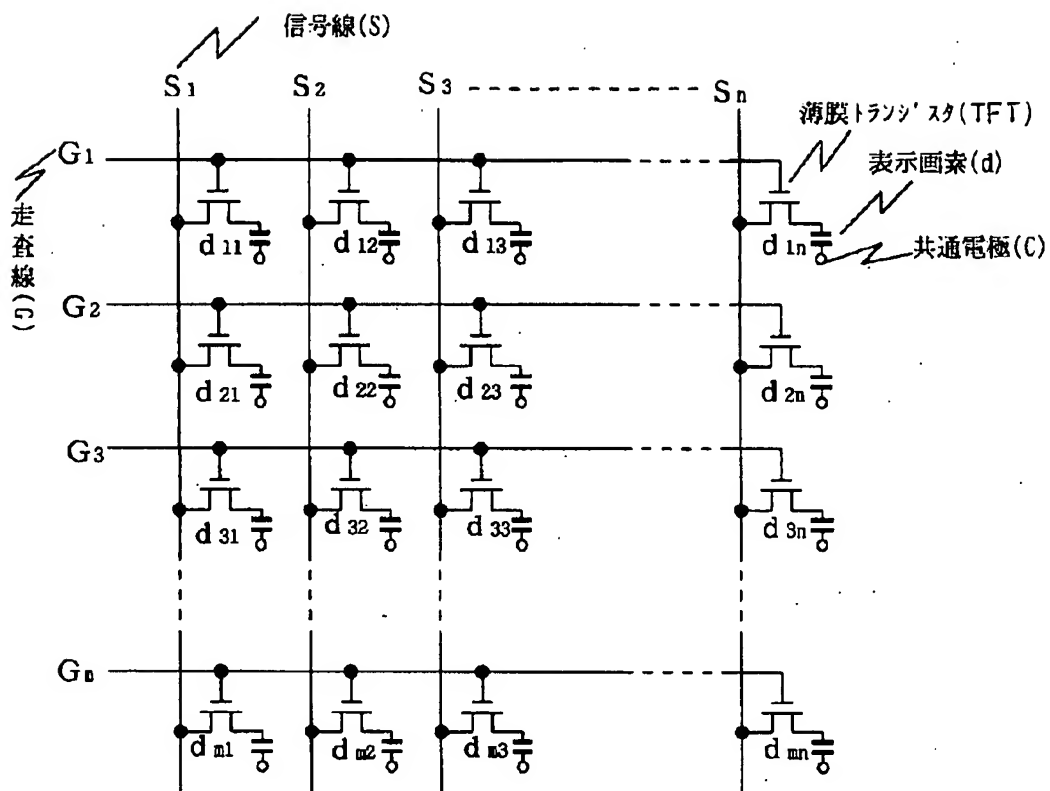
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+	-	+

【図6】

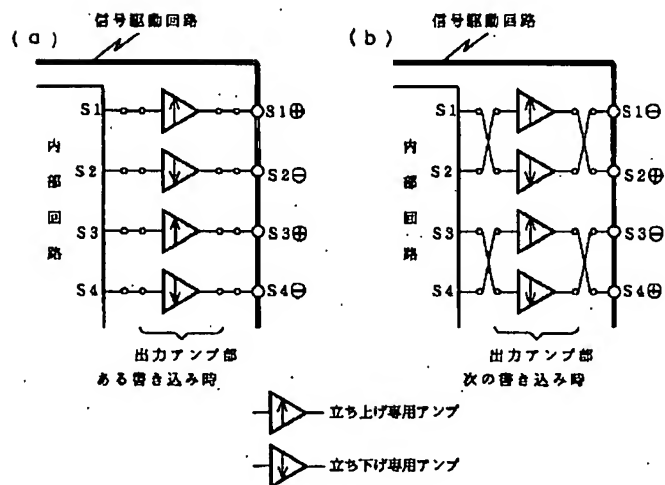


S : 信号線 TFT : 薄膜トランジスタ G : 走査線 C : 共通電極 d : 表示画素

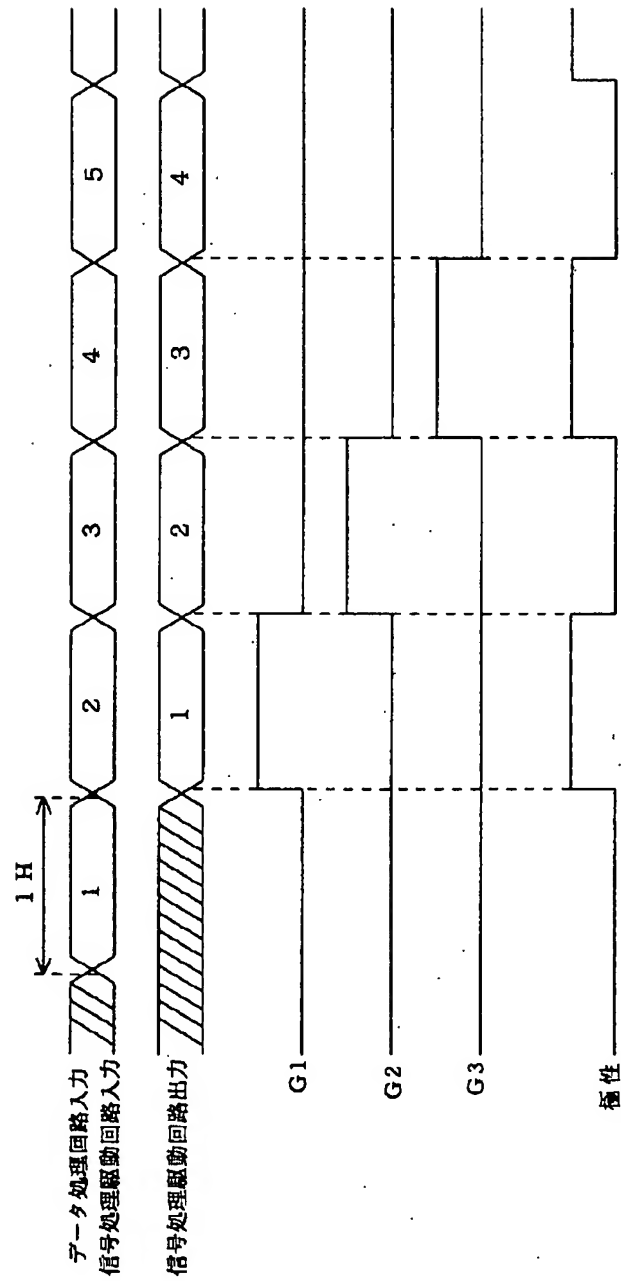
【図8】



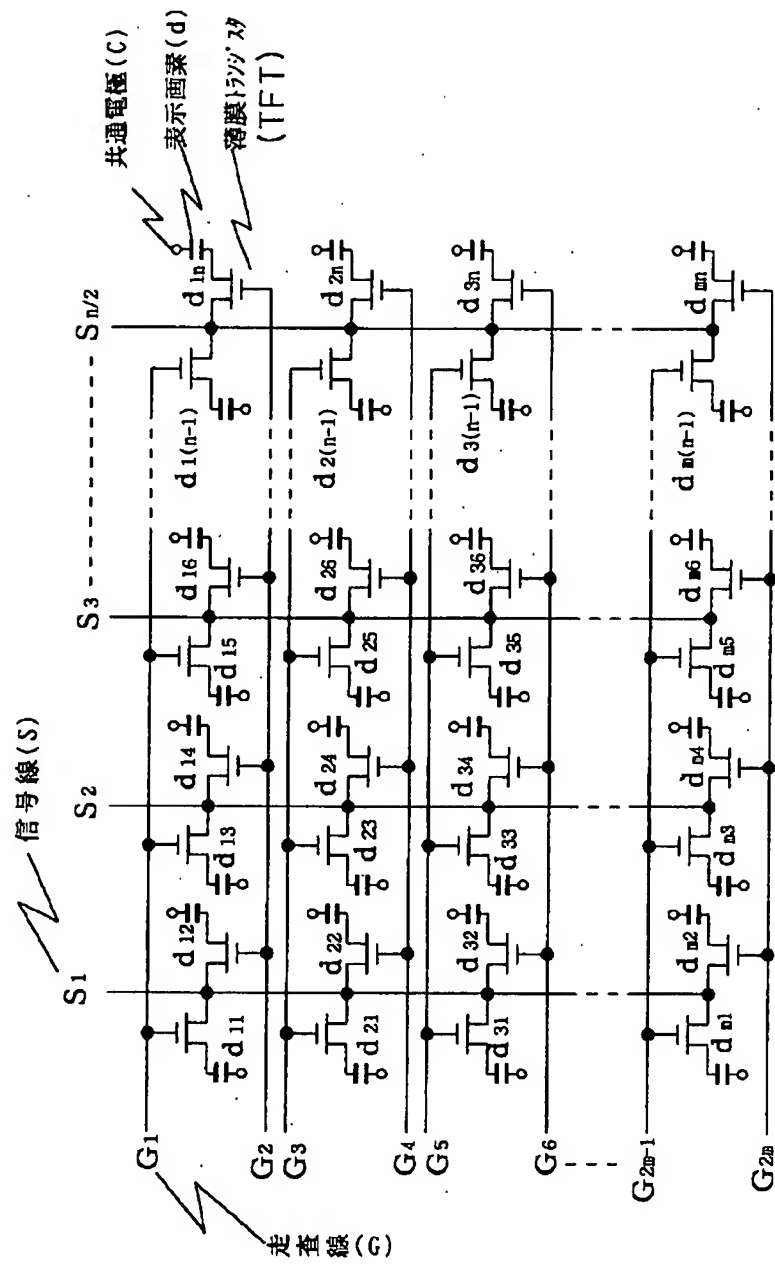
【図14】



【図9】



【図11】



【図12】

